

a / Priority
Doc.
E. Willis
12-6-01

S/N unknown

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: KONDO et al. Serial No.: unknown
Filed: concurrent herewith Docket No.: 10873.713US01
Title: SEMICONDUCTOR INTEGRATED CIRCUIT, TEST METHOD FOR THE...

U.S. PRO
09/852839



CERTIFICATE UNDER 37 CFR 1.10

'Express Mail' mailing label number: EL815522067US

Date of Deposit: May 10, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service 'Express Mail Post Office To Addressee' service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By:

Name: Yolanda Gray

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Applicants enclose herewith certified copy of Japanese application, Serial No.
2000-150302, filed May 22, 2000, the right of priority of which is claimed under 35 U.S.C. §
119.

Respectfully submitted,

MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, Minnesota 55402-0903
(612) 332-5300

Dated: May 10, 2001

By:

John J. Gresens
Reg. No. 33,112

DPM/tvm

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1000 U.S. PTO
09/852839
05/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月22日

出 願 番 号

Application Number:

特願2000-150302

出 願 人

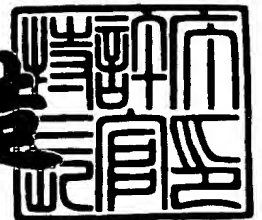
Applicant (s):

松下電器産業株式会社

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011056

【書類名】 特許願

【整理番号】 R4176

【提出日】 平成12年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 近藤 昌貴

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 大田 清人

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 藤本 知則

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100095555

 【弁理士】

 【氏名又は名称】 池内 寛幸

 【電話番号】 06-6361-9334

【選任した代理人】

 【識別番号】 100076576

 【弁理士】

 【氏名又は名称】 佐藤 公博

【選任した代理人】

【識別番号】 100107641

【弁理士】

【氏名又は名称】 鎌田 耕一

【選任した代理人】

【識別番号】 100110397

【弁理士】

【氏名又は名称】 厩丘 圭司

【選任した代理人】

【識別番号】 100115255

【弁理士】

【氏名又は名称】 辻丸 光一郎

【選任した代理人】

【識別番号】 100115152

【弁理士】

【氏名又は名称】 黒田 茂

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004605

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびその検査方法並びにそれを有する記録装置および通信機器

【特許請求の範囲】

【請求項 1】 機能ブロックと、前記機能ブロックに供給する所定の負電圧を発生する負電圧発生回路とを有する半導体集積回路であって、

前記負電圧発生回路は、

電源電圧を前記所定の負電圧に変換し出力するチャージポンプ部と、

前記チャージポンプ部の出力電圧と参照電圧とを比較し、その比較結果を前記チャージポンプ部に出力して、前記チャージポンプ部の出力電圧制御を行う電圧検知部とを備え、

前記参照電圧として接地電圧を用いることを特徴とする半導体集積回路。

【請求項 2】 メモリブロックと、前記メモリブロックに供給する所定の負電圧を発生する負電圧発生回路とを有する半導体集積回路であって、

前記負電圧発生回路は、

電源電圧を前記所定の負電圧に変換し出力するチャージポンプ部と、

前記チャージポンプ部からの出力電圧を参照電圧と比較し、その比較結果を前記チャージポンプ部に出力して、前記チャージポンプ部の出力電圧制御を行う電圧検知部とを備え、

前記参照電圧として接地電圧を用いることを特徴とする半導体集積回路。

【請求項 3】 前記チャージポンプ部は、

前記電圧検知部からの出力信号が活性化状態にある期間のみ所定のパルス信号を発生する自励発振器と、前記自励発振器からの出力パルス信号をタイミング信号に変換するタイミング信号発生回路とを備え、

前記電圧検知部は、

定電圧発生回路と、前記定電圧発生回路からの出力電圧と前記チャージポンプ部からの出力電圧を受けて、抵抗器により測定電圧に変換する測定電圧発生回路と、前記測定電圧発生回路からの測定電圧を接地電圧と比較し比較結果を出力する第 1 の比較器と、前記第 1 の比較器からの比較出力を増幅して前記チャージポ

ンプ部に出力する出力バッファ回路とを備えたことを特徴とする請求項 1 または 2 記載の半導体集積回路。

【請求項 4】 前記電圧検知部を構成するトランジスタのうち、Nチャネルトランジスタの基板に印加する電圧を全て接地電圧とすることを特徴とする請求項 1 から 3 のいずれか一項記載の半導体集積回路。

【請求項 5】 前記電圧検知部は、前記定電圧発生回路と前記測定電圧発生回路との間に、第 2 の比較器と Pチャネルトランジスタからなる電圧複製回路を備え、前記電圧複製回路は、

前記定電圧回路からの出力が前記第 2 の比較器の反転入力端子に供給され、電源電圧が前記 Pチャネルトランジスタのドレイン端子に供給され、前記第 2 の比較器の出力が前記 Pチャネルトランジスタのゲート端子に供給され、前記 Pチャネルトランジスタのソース端子が前記第 2 の比較器の正転入力端子に接続され、前記 Pチャネルトランジスタのソース端子からの出力が前記測定電圧発生回路に結合されて成り、前記定電圧発生回路の出力電圧と等しい電圧を出力することを特徴とする請求項 3 記載の半導体集積回路。

【請求項 6】 前記第 1 の比較器は第 1 から第 3 の差動増幅器を備え、

前記第 1 の差動増幅器の一方の入力端子には前記測定電圧が供給され、その他方の入力端子には接地電圧が供給され、

前記第 2 の差動増幅器の一方の入力端子には接地電圧が供給され、その他方の入力端子には前記測定電圧が供給され、

前記第 3 の差動増幅器の一方の入力端子には前記第 1 の差動増幅器の出力電圧が供給され、その他方の入力端子には前記第 2 の差動増幅器の出力電圧が供給され、前記第 1 と第 2 の差動増幅器の出力電圧を互いに逆相としたことを特徴とする請求項 3 記載の半導体集積回路。

【請求項 7】 前記定電圧発生回路は、カレントミラー回路を構成するトランジスタのサイズを変化させ、出力電流値を変化させることで出力電圧の調整を行う第 1 の電圧調整手段を備え、前記測定電圧発生回路は、前記抵抗器の抵抗値を変化させることで測定電圧を変化させる第 2 の電圧調整手段を備えたことを特徴とする請求項 3 記載の半導体集積回路。

【請求項 8】 前記抵抗器は、各々が直列に接続された第 1 から第 n の抵抗器を含み、前記第 2 の電圧調整手段は、各々が前記第 1 から第 n の抵抗器と並列に接続された第 1 から第 n のヒューズを備え、

前記第 1 のヒューズと並列に接続された第 1 の抵抗器の抵抗値を R とした場合、第 n のヒューズと並列に接続された第 n の抵抗器の抵抗値が R の $2^{(n-1)}$ 倍に設定され、前記第 2 の電圧調整手段は、前記第 1 から第 n のヒューズの少なくとも 1 つが切断されることにより、抵抗値の増分を R から R の $2^{(n-1)}$ 倍まで変化させることで前記測定電圧を変化させることを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】 前記電圧検知部の前記第 1 の比較器は、前記電圧検知部における前記第 1 の比較器よりも前段の回路で用いるトランジスタよりも厚いゲート酸化膜を有するトランジスタからなることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 10】 前記電圧検知部の前記出力バッファ回路は、初段のインバータが他段のインバータよりも厚いゲート酸化膜を有するトランジスタからなる複数段のインバータを備えていることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 11】 前記機能ブロックは、それぞれ異なる機能を有する複数の機能ブロックからなり、前記負電圧発生回路は、前記複数の機能ブロックの各々に供給する異なる所定の負電圧を発生する複数の負電圧発生回路からなり、前記複数の負電圧発生回路の各々に共通の定電圧発生回路を備えていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 12】 前記機能ブロックは、それぞれ異なる機能を有する複数の機能ブロックからなり、前記負電圧発生回路は、前記複数の機能ブロックの各々に供給する所定の負電圧を発生する少なくとも 1 つの負電圧発生回路からなり、前記半導体集積回路はさらに、前記複数の機能ブロックの各々に供給する所定の正電圧を発生する少なくとも 1 つの正電圧発生回路と、前記少なくとも 1 つの負電圧発生回路および前記少なくとも 1 つの正電圧発生回路の各々に共通の定電圧発生回路とを備えていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 3】 請求項 1 から 1 2 のいずれか一項記載の半導体集積回路の検査方法であって、

前記機能ブロックに所定の電圧を外部から印加して検査を行い、

前記検査の結果により機能ブロックの良否判定を行い、

良品と判定された機能ブロックに対してのみ前記負電圧発生回路から所定の負電圧を供給することを特徴とする半導体集積回路の検査方法。

【請求項 1 4】 請求項 1 から 1 2 のいずれか一項記載の半導体集積回路の検査方法であって、

前記機能ブロックに前記負電圧発生回路で出力可能な所定の電圧を外部から印加して検査を行い、

前記検査の結果により機能ブロックの良否判定および機能ブロックの動作条件を最良とする電圧条件の記録を行い、

良品と判定された機能ブロックに対してのみ前記電圧条件に出力電圧を調整した前記負電圧発生回路を接続し、負電圧を供給することにより機能ブロックの検査項目を行うことを特徴とする半導体集積回路の検査方法。

【請求項 1 5】 請求項 1 から 1 2 のいずれか一項記載の半導体集積回路を有する記録装置であって、

光および磁気的一方もしくは両者を用いた記録手段を備えたことを特徴とする記録装置。

【請求項 1 6】 請求項 1 から 1 2 のいずれか一項記載の半導体集積回路を備えたことを特徴とする通信機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、更に詳細には、半導体集積回路に内蔵された電源電圧発生回路、かかる半導体集積回路の検査方法、およびかかる半導体集積回路を有する光および／または磁気記録装置および通信機器に関する。

【0 0 0 2】

【従来の技術】

ここでは、半導体集積回路に内蔵された電源電圧発生回路を用いる機能回路として、ダイナミック型メモリデバイスを取り上げて説明を行う。

【0003】

ダイナミック型メモリデバイスでは、マトリックス状に配置された記憶素子（メモリセル）へのデータアクセス方法として、ワード線に電位を与え、ビット線とメモリセルとの間でデータをやりとりすることで読み出し、書き込み動作を実現している。

【0004】

図11に、一般的なダイナミック・ランダム・アクセス・メモリ（DRAM）のメモリセル部の回路構成を示す。

【0005】

DRAMの記憶動作では、図11に示すビット線BLから伝達される論理「H」レベルの電位もしくは論理「L」レベルの電位を、アクセストランジスタT_{MEM}を介し、メモリセルキャパシタC_Oに電荷を蓄積することで、メモリセルキャパシタC_Oに論理「H」レベル、もしくは論理「L」レベルのデータの書き込みを行い、データの記憶を行う。

【0006】

近年、DRAMの高集積化や大容量化に伴い、回路全体での微細化が進行しており、メモリセルキャパシタC_Oの面積も微細化の傾向にあるため、容量も縮小される傾向がある。ここで、メモリセルキャパシタC_Oの容量の縮小に対してもメモリ動作を保証するためには、メモリセルキャパシタC_Oの電荷蓄積時間を充分確保することが必要となる。

【0007】

そのためには、電荷転送を行うアクセストランジスタT_{MEM}を介したリーク電流による、メモリセルキャパシタC_Oからの電荷の減少を防止する必要がある。

【0008】

そこで、アクセストランジスタT_{MEM}の基板に負の電圧を印加することで、アクセストランジスタT_{MEM}の閾値電圧V_Tを大きくし、アクセストランジス

タTMEMを介したリーク電流を抑えることにより、電荷の減少を防止する対策がDRAMでは一般的に行われている。

【0009】

図12に、メモリセルトランジスタTMEMの断面構造を示す。

【0010】

図12において、アクセストランジスタTMEMのソース(S)に接続されるメモリセルキャパシタCからの電荷のリーク成分としては、TMEMのソースからドレイン(D)方向へのリーク電流成分 $I(off)$ と、ソースのn型不純物拡散領域からp型基板(p-Sub.)へのリーク電流成分 $I(leak)$ に分けられる。

【0011】

ここで、図12では、p型領域からn型領域へ向かう電流の向きを正の方向と定義する。

【0012】

図13(a)のグラフは、 $I(off)$ の基板電圧 V_{BB} 依存性を、図13(b)のグラフは、 $I(leak)$ の基板電圧 V_{BB} 依存性を示したものである。

【0013】

ワード線WLに電位が印加されておらず、非活性状態にあるときには、図13(a)において、(i)で示す領域でのドレイン-ソース間電流 I_{ds} が $I(off)$ となることが示されている。ここで、基板電位 V_{BB} の印加により、アクセストランジスタTMEMの閾値電圧 V_T が大きくなり、グラフの傾きが緩やかとなることから、基板電位 V_{BB} の印加にともなう $I(off)$ の現象が観測される。

【0014】

その一方で、図13(b)に示される、p-n接合での電流 I_{p-n} に着目すると、負の基板電位 V_{BB} の印加に伴い、 I_{p-n} は、図13(b)のグラフの第3象限において増加する。このことは、 V_{BB} を大きくするに伴い、ソースのn型不純物拡散領域からp型基板への電流が増加する、つまりTMEMのソース領域からp型基板へのリーク電流 $I_{p-n} = I(leak)$ が増加することを示

している。

【0015】

次に、図14に、従来から用いられている、p型基板に印加される負電圧 V_{BB} を発生するための負電圧発生回路の一般的な構成を示す。

【0016】

図14において、負電圧発生回路は、基板電圧発生部（チャージポンプ部）15-Aと、電圧検知部15-Bとから構成される。基板電圧発生部15-Aは、自励発振回路15-A1、タイミング生成論理回路15-A2、チャージポンプ回路15-A3により構成され、自励発振回路15-A1は、電圧検知部15-Bにより生成される制御信号 $BBGOE$ が論理「H」レベルである期間動作する。

【0017】

タイミング生成回路15-A2で生成されるタイミング信号によって、チャージポンプ回路15-A3が駆動され、負電圧 V_{BB} が発生する。

【0018】

この負電圧発生回路は、電圧検知部15-Bにより基板電圧発生部15-Aの制御を行い、基板に印加する負電圧 V_{BB} を所定の値に保持する機能を有している。

【0019】

図15に、電圧検知部15-Bの一構成例を示す。

【0020】

図15において、電圧検知部15-Bでは、Pチャネルトランジスタ $TP151$ と、Nチャネルトランジスタ $TN152$ および抵抗 $R153$ によって構成される分圧回路によって、電源電圧 V_{DD} と基板電圧 V_{BB} を分圧した電位 $DETIN$ を生成し、Pチャネルトランジスタ $TP154$ 、 $TP155$ 、およびNチャネルトランジスタ $TN156$ で構成されるインバータによって、設定電圧との大小関係を判定し、インバータ $I157$ 、 $I158$ 、および $I159$ により増幅を行い、大小関係を論理信号 $BBGOE$ として出力する。

【0021】

図 1 6 に、図 1 4 の負電圧発生回路における電源電圧 V_{DD} に対する負電圧 V_{BB} 特性 (a) およびメモリのデータ保持時間であるポーズタイム (Pause time) 特性 (b) を示す。

【 0 0 2 2 】

図 1 6 (a) に示すように、電圧検知部 1 5 - B では、電源電圧 V_{DD} が大きくなると、基板に印加する負電圧 V_{BB} が大きく、 V_{DD} が小さいときには V_{BB} は小さくなり、また、図 1 6 (b) に示すように、ポーズタイムが最も長くなる電源電圧 V_{DDP} が存在し、電源電圧 V_{DD} が V_{DDP} より大きい場合および小さい場合ともに、データ保持時間は短くなる。これは、メモリセルトランジスタの基板に負電圧 V_{BB} を印加したときには、図 1 3 (a) に示すように、メモリセルトランジスタの閾値電圧が大きくなり ($V_{T1} \rightarrow V_{T2} \rightarrow V_{T3}$)、ソースからドレインへと向かう電流成分 I_{off} が減少する一方、 V_{DD} の増加に伴う V_{BB} のレベル変化により、p 型基板へと向かうリーク電流成分 I_{leak} が増加することが原因である。これらは、図 1 6 (b) に示すポーズタイム特性において、減少する電流成分 I_{off} に起因したディスターブポーズ (P1) と、増加する電流成分 I_{leak} に起因したスタティックポーズ (P2) として、DRAMメモリセルの特性を示すのに用いられる。

【 0 0 2 3 】

したがって、基板に印加する負電圧 V_{BB} を設定する際には、前述した 2 種類の電荷のリーク経路を考慮し、それぞれが最小となる電圧条件でかつ電源電圧に依存しないように設定された回路が望ましく、このような負電圧発生回路を適用することで、リーク電流を低減してメモリのデータ保持時間を長く設定できるため、メモリの消費電力を低減することが可能となり、特に、携帯用通信機器など消費電力の少ない回路が望まれる場合に有用である。

【 0 0 2 4 】

また、回路の消費電力を低減すると、発熱などを抑えることができ、その他の電子回路においても安定した動作を達成することが可能となる。

【 0 0 2 5 】

【発明が解決しようとする課題】

しかしながら、前述した従来の電圧検知部 1 5 - B の構成では、電源電圧 V_{DD} と基板電位 V_{BB} を分圧した電位 $DETIN$ を設定電圧との大小関係の判定に用いるため、電源電圧 V_{DD} の変動によって検出電圧が変化するという特性がある。

【 0 0 2 6 】

メモリセルキャパシタ C_O に接続されるアクセストランジスタ T_{MEM} は、電源電圧 V_{DD} が低い場合もしくは高い場合での特性が違ってくるために、電源電圧 V_{DD} の条件によっては、メモリの特性が充分発揮できないという問題があった。

【 0 0 2 7 】

また、電圧検知部 1 5 - B 内の N チャネルトランジスタ T_{N152} において、基板電位 V_{BB} の値によっては、そのソース電極に負の電圧が印加される可能性があり、 p 基板からソースの n 型不純物拡散領域に電流が流れる可能性が考えられる。

【 0 0 2 8 】

したがって、 P チャネルトランジスタ T_{P151} と、 N チャネルトランジスタ T_{N152} および抵抗 R_{153} とによって構成される分圧回路を正常に動作させるには、 N チャネルトランジスタ T_{N152} の p 型基板に V_{BB} を印加する必要があり、そのために、 N チャネルトランジスタ T_{N152} の基板を周囲の基板から分離させた領域を設ける必要がある。

【 0 0 2 9 】

このために、回路を作製する際の製造工程が複雑になると同時に、レイアウト構成上での電圧検知部の配置が難しくなるという問題が生じる。

【 0 0 3 0 】

よって、本発明は、上記問題点に鑑みてなされたものであり、その目的は、電源電圧や環境条件の変動、プロセス条件等によらず安定した負電圧をメモリセルトランジスタ基板に供給可能な負電圧発生回路を容易に実現し、メモリセルトランジスタのリーク電流が最小となる条件を維持して、メモリのデータ保持時間を十分に確保可能であり且つ低消費電力化を図った半導体集積回路、かかる半導体

集積回路の検査方法、およびかかる半導体集積回路を有する記録装置および通信機器を提供することにある。

【 0 0 3 1 】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第 1 の半導体集積回路は、機能ブロックと、前記機能ブロックに供給する所定の負電圧を発生する負電圧発生回路とを有する半導体集積回路であって、前記負電圧発生回路は、電源電圧を前記所定の負電圧に変換し出力するチャージポンプ部と、前記チャージポンプ部の出力電圧と参照電圧とを比較し、その比較結果を前記チャージポンプ部に出力して、前記チャージポンプ部の出力電圧制御を行う電圧検知部とを備え、前記参照電圧として接地電圧を用いることを特徴とする。

【 0 0 3 2 】

前記の目的を達成するため、本発明に係る第 2 の半導体集積回路は、メモリブロックと、前記メモリブロックに供給する所定の負電圧を発生する負電圧発生回路とを有する半導体集積回路であって、前記負電圧発生回路は、電源電圧を前記所定の負電圧に変換し出力するチャージポンプ部と、前記チャージポンプ部からの出力電圧を参照電圧と比較し、その比較結果を前記チャージポンプ部に出力して、前記チャージポンプ部の出力電圧制御を行う電圧検知部とを備え、前記参照電圧として接地電圧を用いることを特徴とする。

【 0 0 3 3 】

前記第 1 および第 2 の半導体集積回路によれば、チャージポンプ部からの出力電圧を、電源電圧や環境条件の変動、プロセス条件等によるトランジスタ特性の影響を受けない参照電位として、接地電圧と比較して、チャージポンプ部の出力電圧制御を行うことで、安定した負電圧を機能ブロックまたはメモリブロックに供給することができる。

【 0 0 3 4 】

前記第 1 および第 2 の半導体集積回路において、前記チャージポンプ部は、前記電圧検知部からの出力信号が活性化状態にある期間のみ所定のパルス信号を発生する自励発振器と、前記自励発振器からの出力パルス信号をタイミング信号に

変換するタイミング信号発生回路とを備え、前記定電圧検知部は、定電圧発生回路と、前記定電圧発生回路からの出力電圧と前記チャージポンプ部からの出力電圧を受けて、抵抗器により測定電圧に変換する測定電圧発生回路と、前記測定電圧発生回路からの測定電圧を接地電位と比較し比較結果を出力する第1の比較器と、前記第1の比較器からの比較出力を増幅して前記チャージポンプ部に出力する出力バッファ回路とを備えることが好ましい。

【0035】

この構成によれば、負電圧発生回路の出力電圧制御を行う電圧検知部を定電圧発生回路によって構成することにより、電源電圧の変動に対して出力される負電圧を一定にすることができる。

【0036】

また、前記第1および第2の半導体集積回路において、前記電圧検知部を構成するトランジスタのうち、Nチャネルトランジスタの基板に印加する電圧を全て接地電圧とすることが好ましい。

【0037】

この構成によれば、電圧検知部において、チャージポンプ部からの負電圧を受ける回路にトランジスタを用いず抵抗器に置き換えるとともに、Nチャネルトランジスタの基板電位を接地電位とした回路構成を実現でき、独立した基板領域を必要とせず、通常のロジック回路と同じp型基板を用いた回路構成として実現できるため、回路配置の自由度が高まるとともに、レイアウト面積を縮小することが可能になる。

【0038】

また、前記第1および第2の半導体集積回路において、前記電圧検知部は、前記定電圧発生回路と前記測定電圧発生回路との間に、第2の比較器とPチャネルトランジスタからなる電圧複製回路を備え、前記電圧複製回路は、前記定電圧発生回路からの出力が前記第2の比較器の反転入力端子に供給され、電源電圧が前記Pチャネルトランジスタのドレイン端子に供給され、前記第2の比較器の出力が前記Pチャネルトランジスタのゲート端子に供給され、前記Pチャネルトランジスタのソース端子が前記第2の比較器の正転入力端子に接続され、前記Pチャネル

トランジスタのソース端子からの出力が前記測定電圧発生回路に結合されて成り、前記定電圧発生回路の出力電圧と等しい電圧を出力することが好ましい。

【 0 0 3 9 】

この構成によれば、定電圧発生回路が出力する電圧を直接用いず、第 2 の比較器を構成する差動増幅器により複製された電圧を用いることで、定電圧発生回路に負電圧発生回路自体の変動影響を小さくさせることができる。

【 0 0 4 0 】

また、前記第 1 および第 2 の半導体集積回路において、前記第 1 の比較器は第 1 から第 3 の差動増幅器を備え、前記第 1 の差動増幅器の一方の入力端子には前記測定電圧が供給され、その他方の入力端子には接地電圧が供給され、前記第 2 の差動増幅器の一方の入力端子には接地電圧が供給され、その他方の入力端子には前記測定電圧が供給され、前記第 3 の差動増幅器の一方の入力端子には前記第 1 の差動増幅器の出力電圧が供給され、その他方の入力端子には前記第 2 の差動増幅器の出力電圧が供給され、前記第 1 と第 2 の差動増幅器の出力電圧を互いに逆相とすることが好ましい。

【 0 0 4 1 】

この構成によれば、第 1 の比較器を、単体ではなく 3 個の差動増幅器の組合せによって実現することにより、負電圧発生回路の電圧変動に対して高速な出力をチャージポンプ部に送ることが可能となる。具体的には、メモリ容量が大きくなった場合、負電圧の変動は小さくなるが、メモリ容量が小さなものだけしか備えない場合は、電圧変動が大きく、迅速な応答が要求される。上記回路構成により、メモリ容量の変化に対して電圧検知部は微小な電圧変化に対して、高速な応答を実現できるため、メモリ容量に対する負電圧変動の依存性を小さくすることができる。

【 0 0 4 2 】

また、前記第 1 および第 2 の半導体集積回路において、前記定電圧発生回路は、カレントミラー回路を構成するトランジスタのサイズを変化させ、出力電流値を変化させることで出力電圧の調整を行う第 1 の電圧調整手段を備え、前記測定電圧発生回路は、前記抵抗器の抵抗値を変化させることで測定電圧を変化させる

第2の電圧調整手段を備えることが好ましい。

【0043】

この構成によれば、定電圧発生回路と抵抗器のそれぞれに独立して電圧調整手段を設けることにより、プロセス条件の変化に対して一定の負電圧出力が保証され、また回路検査および調整が容易になる。

【0044】

また、前記抵抗器は、各々が直列に接続された第1から第nの抵抗器を含み、前記第2の電圧調整手段は、各々が前記第1から第nの抵抗器と並列に接続された第1から第nのヒューズを備え、前記第1のヒューズと並列に接続された第1の抵抗器の抵抗値をRとした場合、第nのヒューズと並列に接続された第nの抵抗器の抵抗値がRの $2^{(n-1)}$ 倍に設定され、前記第2の電圧調整手段は、前記第1から第nのヒューズの少なくとも1つが切断されることにより、抵抗値の増分をR1からR1の $2^{(n-1)}$ 倍まで変化させることで前記測定電圧を変化させることが好ましい。

【0045】

この構成によれば、各抵抗器に並列接続されたヒューズで調整できる抵抗値を最小ステップの2のべき乗に設定することにより、ヒューズの本数がn本の場合、電圧の変化幅を最小ステップの0倍から $2^{(n-1)}$ 倍まで調整することが可能になる。

【0046】

また、前記第1および第2の半導体集積回路において、前記電圧検知部の前記第1の比較器は、前記電圧検知部における前記第1の比較器よりも前段の回路で用いるトランジスタよりも厚いゲート酸化膜を有するトランジスタからなることが好ましい。

【0047】

この構成によれば、第1の比較器に入力される電圧が急激に変動した場合でも、トランジスタ素子の絶縁破壊を防止することができる。

【0048】

また、前記第1および第2の半導体集積回路において、前記電圧検知部の前記

出力バッファ回路は、初段のインバータが他段のインバータよりも厚いゲート酸化膜を有するトランジスタからなる複数段のインバータを備えていることが好ましい。

【 0 0 4 9 】

この構成によれば、電圧が緩やかに変化する初段のインバータに対しては、厚いゲート酸化膜を有するトランジスタを用いて、ゲートの容量負荷を低減させる一方、電圧が充分速く変化する２段目以降のインバータに対しては、初段よりも薄いゲート酸化膜を有するトランジスタを用いて、回路全体の応答速度を向上させることができる。

【 0 0 5 0 】

また、前記第１の半導体集積回路において、前記機能ブロックは、それぞれ異なる機能を有する複数の機能ブロックからなり、前記負電圧発生回路は、前記複数の機能ブロックの各々に供給する異なる所定の負電圧を発生する複数の負電圧発生回路からなり、前記複数の負電圧発生回路の各々に共通の定電圧発生回路を備えていることが好ましい。

【 0 0 5 1 】

または、前記機能ブロックは、それぞれ異なる機能を有する複数の機能ブロックからなり、前記負電圧発生回路は、前記複数の機能ブロックの各々に供給する所定の負電圧を発生する少なくとも１つの負電圧発生回路からなり、前記半導体集積回路はさらに、前記複数の機能ブロックの各々に供給する所定の正電圧を発生する少なくとも１つの正電圧発生回路と、前記少なくとも１つの負電圧発生回路および前記少なくとも１つの正電圧発生回路の各々に共通の定電圧発生回路とを備えていることが好ましい。

【 0 0 5 2 】

上記構成によれば、システムＬＳＩとして集積すべき回路規模が大きくなり、機能ブロックの種類が多様にわたる場合でも、回路配置の自由度を高めるとともに、レイアウト面積を低減することができる。

【 0 0 5 3 】

前記の目的を達成するため、本発明に係る半導体集積回路の第１の検査方法は

、前記第 1 または第 2 の半導体集積回路の検査方法であって、前記機能ブロックに所定の電圧を外部から印加して検査を行い、前記検査の結果により機能ブロックの良否判定を行い、良品と判定された機能ブロックに対してのみ前記負電圧発生回路から所定の負電圧を供給することを特徴とする。

【 0 0 5 4 】

前記の目的を達成するため、本発明に係る半導体集積回路の第 2 の検査方法は、前記第 1 または第 2 の半導体集積回路の検査方法であって、前記機能ブロックに前記負電圧発生回路で出力可能な所定の電圧を外部から印加して検査を行い、前記検査の結果により機能ブロックの良否判定および機能ブロックの動作条件を最良とする電圧条件の記録を行い、良品と判定された機能ブロックに対してのみ前記電圧条件に出力電圧を調整した前記負電圧発生回路を接続し、負電圧を供給することにより機能ブロックの検査項目を行うことを特徴とする。

【 0 0 5 5 】

上記第 1 および第 2 の検査方法によれば、特にメモリの検査において、ポーズタイムなどのメモリ素子の特性検査をあらかじめ実行し、その検査結果が規格内にある回路のみを検査の対象とすることで、すべての回路を検査する検査手法と比べて、検査の対象となる回路の個数を減らすことが可能となり、検査時間を短縮することができる。

【 0 0 5 6 】

前記の目的を達成するため、本発明に係る記録装置は、前記第 1 または第 2 の半導体集積回路を有する記録装置であって、光および磁気的一方もしくは両者を用いた記録手段を備えたことを特徴とする。

【 0 0 5 7 】

前記の目的を達成するため、本発明に係る通信機器は、前記第 1 または第 2 の半導体集積回路を備えたことを特徴とする。

【 0 0 5 8 】

上記構成によれば、負電圧発生回路の適用により、DRAM のデータ保持時間すなわちポーズタイムを大きくできるために、リフレッシュ動作周期を長くとることが可能になり、DRAM の消費電力を低減して、安定した回路動作を実現す

ることができる。

【 0 0 5 9 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 6 0 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による半導体集積回路に含まれる負電圧発生回路の構成例を示すブロック図である。

【 0 0 6 1 】

図 1 において、負電圧発生回路は、負電圧発生部 1-A (チャージポンプ部) と電圧検知部 1-B とで構成されており、負電圧発生部 1-A は、電圧検知部 1-B から供給される制御信号 BBGOE により動作制御され、機能ブロックを構成するトランジスタの基板電圧 VBB を所定の負電圧に保持する。ここで、負電圧発生部 1-A は、電圧検知部 1-B から供給される制御信号 BBGOE が論理「H」レベルである期間動作する自励発振回路 1-A1 と、タイミング生成回路 1-A2 と、負電圧生成のためのチャージポンプ回路 1-A3 とで構成される。

【 0 0 6 2 】

電圧検知部 1-B は、定電圧発生回路 1-B1 と、電圧複製回路 1-B2 と、測定電圧発生回路 1-B3 と、出力部 1-B4 とで構成される。

【 0 0 6 3 】

図 2 は、電圧検知部 1-B の概略構成例を示す回路図である。

【 0 0 6 4 】

図 2 において、電圧複製回路 1-B2 は、差動増幅器 AMP11 (第 2 の比較器) および P チャネルトランジスタ TP11 からなり、定電圧発生回路 1-B1 からの定電圧を受けてその電圧を複製する。

【 0 0 6 5 】

測定電圧発生回路 1-B3 は、可変抵抗器 R1' および R2' からなり、電圧複製回路 1-B2 から出力される所定の定電圧と負電圧発生部 1-A からの基板電圧 VBB とを分圧し、電圧 REFV0 として出力する。

【0066】

出力部1-B4は、測定電圧発生回路1-B3から出力される電圧REFV0を、参照電圧である接地電圧VSSと比較して、大小関係を判別する差動増幅器AMP12（第1の比較器）と、出力バッファ回路1-B4'とで構成される。出力バッファ回路1-B4'は、緩やかに変化する差動増幅器AMP12の出力信号M22を増幅し、制御信号BBGOEを生成するためのインバータ列INV11、INV12、INV13、バッファBUF14と、INV13の出力をゲートに印加することで、「H」レベルから「L」レベルへの変化と、「L」レベルから「H」レベルへの変化に対する応答に差を生じさせヒステリシス特性を生成するPチャネルトランジスタ組TP12によるシュミットトリガ回路とで構成される。

【0067】

図3は、図1に示す定電圧発生回路1-B1と電圧複製回路1-B2の構成を示す回路図である。なお、図3において、定電圧発生回路1-B1を構成するNチャネルトランジスタT4およびT5に接続され、トランジスタサイズ変更による電流調整で出力電圧調整を行う部分については説明の便宜上削除しているが、図4に記載があり、後ほど説明する。

【0068】

図3において、定電圧発生回路1-B1におけるPチャネルトランジスタT1およびT2、またNチャネルトランジスタT4およびT5は、それぞれ同じゲート幅およびゲート長でカレントミラー回路を構成している。ここでは、PチャネルトランジスタT1およびT2のゲート幅をWP1、ゲート長をLP1とし、NチャネルトランジスタT4およびT5のゲート幅をWN1、ゲート長をLN1とし、PチャネルトランジスタT1とNチャネルトランジスタT4を含む経路を流れる電流をI1、PチャネルトランジスタT2とNチャネルトランジスタT5を含む経路を流れる電流をI2とすると、PチャネルトランジスタT1とNチャネルトランジスタT5について、それぞれ以下の関係式が成立する。

【0069】

$$I1 = -(\beta/2) \cdot (WP1/LP1) \cdot (V1 - VTP)^2$$

$$I_2 = (\beta / 2) \cdot (W_{N1} / L_{N1}) \cdot (V_3 - V_{TN})^2$$

ただし、上記の式では、Pチャネルトランジスタの閾値電圧を V_T とした場合、 $V_{TP} = V_T + V_{DD}$ と定義するものとする。

【0070】

また、抵抗 R_0 については、 $R_0 \cdot I_2 = V_{DD} - V_4$ となることから、電源電圧 V_{DD} の上昇に伴い、電流 I_2 は増加しようとする。Nチャネルトランジスタ T_5 を流れる電流の関係を考慮すると、 T_5 のドレインおよびゲート電圧 V_3 は上昇することになり、トランジスタ T_6 、 T_7 、 T_8 の経路を流れる電流 I_3 は減少する傾向を示す。電流 I_3 が減少すると、 T_8 の電流の関係により電圧 V_7 が上昇し、 T_{11} および T_{12} の経路を流れる電流 I_4 が減少することになる。電流 I_4 が減少すると、 T_{12} についての電流の関係から、電圧 V_5 が減少することになり、その結果、電流 I_1 が減少する。電流 I_1 の減少は、 T_1 を流れる電流の関係から電圧 V_1 の上昇を招くことになり、電流 I_2 を減少させる方向に働く。

【0071】

以上をまとめると、カレントミラー回路と電圧を制御するトランジスタ T_{11} 、 T_{12} の働きにより、電源電圧 V_{DD} の増加および減少に対する系全体の電流および電圧の変化を打ち消す方向に作用し、電圧 V_7 が安定するために T_9 および T_{10} を流れる電流は一定となり、定電圧発生回路1-B1の出力電圧 V_9 は、Pチャネルトランジスタ T_{10} のサイズで決定される、一定の値となる。

【0072】

定電圧発生回路1-B1で生成される一定の電圧 V_9 は、電圧複製回路1-B2の差動増幅器AMP11の反転入力端子に印加されており、差動増幅器AMP11の出力をPチャネルトランジスタ T_{P11} のゲート端子に接続し、ドレインを電源電圧 V_{DD} に接続し、ソースを出力STDVOUTおよび差動増幅器AMP11の正転入力端子に接続して帰還をかけることで、入力電圧 V_9 と等しい出力STDVOUTが複製される。

【0073】

次に、図4を用いて、定電圧発生回路1-B1における第1の電圧調整手段に

ついて説明する。

【0074】

図4は、定電圧発生回路1-B1の詳細回路図である。

【0075】

定電圧発生回路1-B1は、図4に示すように、カレントミラー回路の左右に、それぞれ3つずつ、ヒューズFUSE4TA、FUSE4TB、FUSE4TCと、ヒューズFUSE5TA、FUSE5TB、FUSE5TCとを備えており、未切断状態では、トランジスタT4+T4A+T4B+T4Cと、トランジスタT5+T5A+T5B+T5Cとして機能するトランジスタを、ヒューズの切断によりサイズを変えることで左右の電流を変え、安定点での電圧V5およびV7を変化させることで、電圧調整が行える機能を有している。

【0076】

カレントミラー回路の右側におけるトランジスタT5A、T5B、T5Cのドレイン端子にそれぞれ備えられた3本のヒューズFUSE5TA、FUSE5TB、FUSE5TCを切断することにより、電流I2に対する電流I3の比率を増加させる働きがあるため、電流I3の増加により電圧V7は下降し、トランジスタT9およびT10を流れる電流が増加するため、出力電圧V9は上昇する。

【0077】

一方、カレントミラー回路の左側におけるトランジスタT4A、T4B、T4Cのドレイン端子にそれぞれ備えられた3本のヒューズFUSE4TA、FUSE4TB、FUSE4TCを切断した場合、電流I2に対する電流I1の比率が減少するために、電圧V1は未切断状態に比べ高いレベルで安定するようになり、電流I2も減少することから安定状態での電圧V7は上昇し、出力電圧V9が下降する。

【0078】

次に、図5を用いて、測定電圧発生回路1-B3における第2の電圧調整手段について説明する。

【0079】

図5は、測定電圧発生回路1-B3を構成する可変抵抗器R1'とR2'の構

成を示す回路図である。

【0080】

図5において、ヒューズFUSE1、FUSE2、FUSE3がそれぞれ並列接続された抵抗器RTRIM1、RTRIM2、RTRIM3は、抵抗器RTRIM2の抵抗値が抵抗器RTRIM1の抵抗値(R_1)の2倍に、抵抗器RTRIM3の抵抗値がRTRIM1の抵抗値(R_1)の4倍に設定されている。

【0081】

同様に、ヒューズFUSE4、FUSE5、FUSE6がそれぞれ並列接続された抵抗器RTRIM4、RTRIM5、RTRIM6は、抵抗器RTRIM5の抵抗値が抵抗器RTRIM4の抵抗値(R_4)の2倍に、抵抗器RTRIM6の抵抗値がRTRIM4の抵抗値(R_4)の4倍に設定されている。

【0082】

これにより、最小で R_1 、 R_4 、最大で $7 \times R_1$ 、 $7 \times R_4$ だけの抵抗値の設定、したがって電圧設定をそれぞれのヒューズで8通り、合計16通り行うことが可能となる。

【0083】

抵抗器による電圧設定は、温度やプロセス条件などから受ける特性変化の影響が小さいため、あらかじめ目標設定電圧との差から切るべきヒューズを特定することが可能であり、設定に必要な時間を短縮することが可能である。

【0084】

次に、図6を用いて、差動増幅器AMP12（第1の比較器）の動作の概略について説明する。

【0085】

図6は、差動増幅器AMP12の等価回路図である。図6に示すように、差動増幅器AMP12は、AMP12A、AMP12B、AMP12Cの3個の差動増幅器によって構成される。

【0086】

AMP12Aの反転入力端子には、定電圧STDVOUTと負電圧VBBから分圧された電圧REFV0が印加され、その正転入力端子には、接地電圧VSS

が印加される。また、AMP 12 B の正転入力端子には、測定電圧 REFV0 が印加され、その反転入力端子には接地電圧 VSS が印加される。AMP 12 A の出力を AMP 12 C の正転入力端子に、AMP 12 B の出力を AMP 12 C の反転入力端子に印加することで、 $REFV0 > VSS$ の場合は、AMP 12 C の出力 M22 の電圧レベルが下がり、 $REFV0 < VSS$ の場合は、AMP 12 C の出力 M22 の電圧レベルは上がることになる。したがって、差動増幅器 AMP 12 全体としては、REFV0 を反転入力端子に、VSS を正転入力端子に印加する構成と等価になる。

【0087】

次に、図7を用いて、差動増幅器 AMP 12 の動作の詳細について説明する。

【0088】

図7は、差動増幅器 AMP 12 の詳細回路図である。

【0089】

図7において、AMP 12 A、AMP 12 B はそれぞれ同じ能力、特性を備えさせるために、対応するトランジスタが同じサイズで構成されている。AMP 12 A、AMP 12 B、AMP 12 C のそれぞれの電流源を構成するトランジスタ TP12A1、TP12B1、TP12C1 のゲートに、図3に示す定電圧発生回路 1-B1 のカレントミラー回路で生成される電圧 V1 が入力されている。

【0090】

AMP 12 A では、測定電圧 REFV0 の電圧レベルが上昇した場合、TP12A3 を流れる電流が減少して、その減少分だけ TP12A2 を流れる電流が増加する。ここで、TN12A4、TN12A5 はカレントミラー回路を構成しており、TN12A4 を流れる電流すなわち TN12A2 を流れる電流が増加し、その増加分だけ TN12A5 を流れる電流が減少した場合、出力 M14 の電圧レベルが下降する方向へと状態が遷移する。一方、測定電圧 REFV0 の電圧レベルが下降した場合は、逆に、出力 M14 の電圧レベルが上昇する方向へと状態が変化する。

【0091】

また、AMP 12 B では、測定電圧 REFV0 は TP12B2 のゲートに入力

されているために、測定電圧 R E F V 0 の電圧レベルの上昇にともない、出力 M 1 7 の電圧レベルは上昇し、逆に、測定電圧 R E F V 0 の電圧レベルの下降によって出力 M 1 7 の電圧レベルが下降する。

【 0 0 9 2 】

よって、AMP 1 2 C では、AMP 1 2 A と AMP 1 2 B の出力結果から、測定電圧 R E F V 0 の上昇に伴い、出力 M 2 2 の電圧レベルは上昇し、測定電圧 R E F V 0 の下降に伴い、出力 M 2 2 の電圧レベルは下降する。

【 0 0 9 3 】

ここで、本実施形態によれば、トランジスタ T P 1 2 A 2、T P 1 2 B 3 のゲートにはそれぞれ接地電圧 V S S が接続されるため、定電圧源で生成される電圧と違い、プロセス条件の影響を受けず、差動増幅器 1 2 において常に安定した電圧比較が可能となる。

【 0 0 9 4 】

また、負電圧 V B B の変化が急峻であった場合に、トランジスタ素子の絶縁破壊を防止するために、AMP 1 2 を構成する回路は、他の回路よりも厚いゲート酸化膜を有するトランジスタによって構成されている。

【 0 0 9 5 】

図 8 は、図 1 に示す出力部 1 - B 4 のうち、差動増幅器 AMP 1 2 の出力 M 2 2 を受け、制御信号 B B G O E を生成する出力バッファ段の構成を示す詳細回路図である。

【 0 0 9 6 】

図 8 において、差動増幅器 AMP 1 2 の出力 M 2 2 は緩やかに変化するため、M 2 2 を受ける初段のインバータ I N V 1 1 においては、他段のインバータ I N V 1 2、I N V 1 3、およびバッファ B U F 1 4 を構成するトランジスタ、および P チャネルトランジスタ組 T P 1 2 よりも厚いゲート酸化膜を有するトランジスタを用いることで、ゲートの容量負荷を低減し、応答速度の遅れの影響を軽減している。

【 0 0 9 7 】

初段のインバータ I N V 1 1 は、8 個の N チャネルトランジスタ T N 1 1 1 ~

TN118と、8個のPチャネルトランジスタTP111～TP118とで構成され、TN111およびTN112をNチャネル側として、TP111～TP115をPチャネル側として機能させており、残りのトランジスタは、最上層の配線マスクを変更することで、INV11のスイッチングレベルを調整可能とするために、予備として設けられている。

【0098】

Pチャネルトランジスタ組TP12は、INV12のスイッチングレベルにヒステリシス特性を持たせるために用いるもので、M25の電圧レベルが下降しようとする場合には、TP12内のTP121を流れる電流が増えることで、M24の電圧レベルを決定するINV12のスイッチングレベルが上がり、M25の電圧レベルが下降して「L」レベルに近づこうとする電圧変化を阻止するように働く。ここでは、TP121のみを機能させており、他の4個のトランジスタTP122～TP125は、最上層マスクで使用するトランジスタの個数を変化させることことで、ヒステリシスの幅を変化させるために、予備として設けられている。

【0099】

バッファBUF14では、制御信号BBGOEを供給する負電圧発生部1-Aのトランジスタに対し、十分な出力電流を確保するため、トランジスタTP141およびTN141に比べて、大きなゲート幅を有するトランジスタTP142およびTN142を用いている。

【0100】

上記のように、本実施形態によれば、定電圧発生回路1-B1の出力電圧を基板に印加する負電圧VBBに対する参照電圧として用いることで、基板電圧の電源電圧依存性を無くすと同時に、基板電圧の検出に用いる差動増幅器の基準電圧を接地電圧VSSに設定することで、電源電圧や環境温度の変動、プロセス条件等のいずれに対しても、安定した負電圧VBBをメモリセルトランジスタ基板に供給することが可能となる。

【0101】

また、2つの電圧調整手段を定電圧発生回路1-B1と測定電圧発生回路1-

B3の2箇所に独立して備えることで、定電圧発生回路1-B1の定電圧を適正な値として出力するための調整を行った後、測定電圧発生回路1-B3により、その適正な定電圧と負電圧VBBから分圧される電圧を変化させて、制御信号BBGOEの最適設定を行うことが可能になる。

【0102】

(第2実施形態)

図9は、本発明の第2実施形態による半導体集積回路に含まれる負電圧発生回路の部分構成例を示すブロック図である。

【0103】

図9に示すように、本実施形態では、差動増幅器AMP11およびPチャネルトランジスタTP11で構成される第1の電圧複製回路1-B2と、差動増幅器AMP11BおよびPチャネルトランジスタTP11Bで構成される第2の電圧複製回路1-B2' とに共通の定電圧発生回路1-B1を用いることで、第1の制御信号BBGOE1と第2の制御信号BBGOE2を出力可能な複数の電圧検知部が構成されている。

【0104】

まず、第1の電圧検知部からの第1の制御信号BBGOE1によって制御される第1の負電圧をVBB1、第1の電圧検知部で用いる定電圧出力をSTDVOUT1とした場合、AMP12の反転入力端子に印加される電圧REFV0が、正転入力端子に印加されている接地電圧VSSに等しくなったとき、すなわちREFV0=0Vで制御系が安定するため、第1の負電圧VBB1は以下の式で表される。

【0105】

$$VBB1 = - (R2' / R1') \cdot STDVOUT1$$

次に、第2の電圧検知部からの第2の制御信号BBGOE2によって制御される第2の負電圧をVBB2、第2の電圧検知部で用いる定電圧出力をSTDVOUT2とした場合、AMP212の反転入力端子に印加される電圧REFV1が、正転入力端子に印加されている接地電圧VSSに等しくなったとき、すなわちREFV1=0Vで制御系が安定するため、第2の負電圧VBB2は以下の式で

表される。

【0106】

$$V_{BB2} = - (R4' / R3') \cdot STDVOUT2$$

このように、第1の負電圧 V_{BB1} と第2の負電圧 V_{BB2} は、それぞれ、 $R1'$ と $R2'$ の抵抗比、 $R3'$ と $R4'$ の抵抗比によって決められる。

【0107】

本実施形態によれば、DRAMのメモリセル以外に負電圧が必要な回路が、集積回路の中に含まれるときに、複数の電圧検知部で定電圧発生回路を共用することで、レイアウト面積を低減することが可能になる。

【0108】

(第3実施形態)

図10は、本発明の第3実施形態による半導体集積回路に含まれる負電圧発生回路の部分構成例を示すブロック図である。

【0109】

図10に示すように、本実施形態では、差動増幅器AMP11およびPチャネルトランジスタTP11で構成された第1の電圧複製回路1-B2により複製される一定の電圧STDVOUT1と負電圧 V_{BB} とから制御信号BBGOEを生成する第1の電圧検知部に加え、差動増幅器AMP11CおよびPチャネルトランジスタTP11Cで構成された第3の電圧複製回路1-B2"により複製される一定の電圧STDVOUT3と、差動増幅器AMP312の正転入力端子に供給される電圧VMEASUREとから、制御信号CTRLOUTを生成可能な第3の電圧検知部が構成されている。

【0110】

ここでは、電圧 $V_{MEASURE} = (R6 / (R5 + R6)) \cdot STDVOUT3$ が印加された場合に、制御信号CTRLOUTによる制御が可能になる。一例としては、第3の電圧検知部は、制御信号CTRLOUTにより昇圧電源電圧VPPを検知する回路として機能させることが可能である。

【0111】

このように、定電圧発生回路の出力V9を直接用いず、電圧を複製させて用い

ることで、複数の電圧検知部を独立して機能させることが可能になる。

【0 1 1 2】

本発明の実施の形態による負電圧発生回路の検査項目として、素子作製プロセスの条件などにより定電圧発生回路の出力変動を抑制するために、ヒューズによる出力電圧の調整が必要となるため、同一ウェハ上に作製される半導体集積回路の検査としては、全数検査を行うよりも、あらかじめ良否判定を行った後に、負電圧発生回路の検査を行うことが検査時間の短縮に有用である。

【0 1 1 3】

DRAMでは、この負電圧発生回路の適用回路ブロックはメモリセルであり、その特性の良否はメモリセルのポーズタイム測定に基づいて行われる。

【0 1 1 4】

従って、以上のことを考慮に入れた、検査プログラムのアルゴリズムの一例としては、次に示すような流れとなる。

【0 1 1 5】

(1) 負電圧発生回路とは独立した入力端子からメモリセルの基板領域に負の電圧を入力し、ポーズタイムの測定をウェハ上の半導体集積回路にそれぞれ備えられたDRAMに対して実行する。また、同時にポーズタイムが最大となる基板電圧の値をそれぞれの回路に対し記録しておく。

【0 1 1 6】

(2) ポーズタイム測定結果が規格を満たす回路に対し、良品選別を行って、良品と判定された回路に対してのみ、負電圧発生回路の検査を行う。

【0 1 1 7】

(3) 負電圧発生回路の出力電圧が、あらかじめ外部電圧入力により行ったポーズタイム検査での基板電圧の値と違った場合には、回路内に備えられたヒューズを用いて前記基板電圧と等しい値が出力されるよう出力電圧の調整を行う。

【0 1 1 8】

(4) 以降、DRAMのファンクションテストは、ポーズタイムが規格を満足する回路で、前記負電圧発生回路の電圧調整を行ったものに対してのみ実施する。

【0119】

このように、良品と判定された回路に対してのみ負電圧発生回路の検査を行うことで、検査時間の短縮を行えると同時に、それぞれの回路に対してポーズタイムを最大にできる負電圧出力の調整が行えるために、メモリの性能を最大限に活用できる設定による検査手法が提供される。

【0120】

【発明の効果】

以上説明したように、本発明の半導体集積回路によれば、電源電圧や環境条件の変動、プロセス条件等によらず安定した負電圧をメモリセルトランジスタ基板に供給可能な負電圧発生回路を容易に実現し、メモリセルトランジスタのリーク電流が最小となる条件を維持して、メモリのデータ保持時間を十分に確保可能にするとともに、低消費電力化を図ることで、携帯用の記録装置や通信装置等に適用した際に、特に効果を発揮させることが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体集積回路に含まれる負電圧発生回路の構成例を示すブロック図

【図2】 電圧検知部1-Bの概略構成例を示す回路図

【図3】 定電圧発生回路1-B1と電圧複製回路1-B2の構成を示す回路図

【図4】 定電圧発生回路1-B1の詳細構成を示す回路図

【図5】 測定電圧発生回路1-B3の詳細構成を示す回路図

【図6】 差動増幅器AMP12の構成を等価的に示す回路図

【図7】 差動増幅器AMP12の詳細構成を示す回路図

【図8】 出力バッファ回路1-B4'の詳細構成を示す回路図

【図9】 本発明の第2実施形態による半導体集積回路に含まれる負電圧発生回路の部分構成例を示すブロック図

【図10】 本発明の第3実施形態による半導体集積回路に含まれる負電圧発生回路の部分構成例を示すブロック図

【図11】 DRAMメモリセル部の回路構成図

【図 1 2】 メモリセルトランジスタの構造を示す断面図

【図 1 3】 メモリセルトランジスタのリーク電流 I_{off} の基板電圧 V_{BB} 依存性 (a)、およびリーク電流 I_{leak} の基板電圧 V_{BB} 依存性を示すグラフ

【図 1 4】 従来の負電圧発生回路の構成を示すブロック図

【図 1 5】 従来の電圧検知部 15-B の詳細回路図

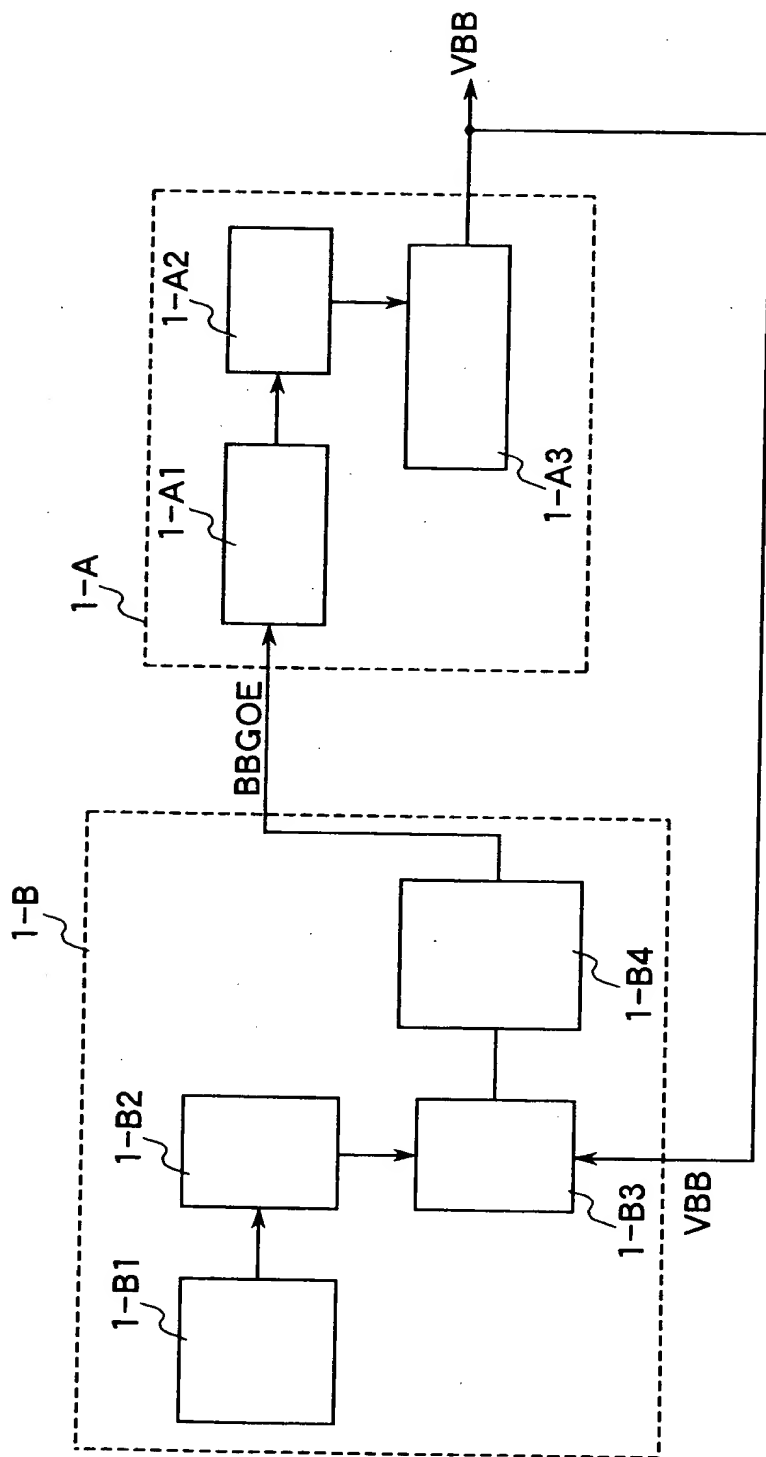
【図 1 6】 従来の負電圧発生回路における負電圧 V_{BB} の電源電圧 V_{DD} 依存性 (a)、およびメモリにおけるポーズタイムの電源電圧 V_{DD} 依存性 (b) を示すグラフ

【符号の説明】

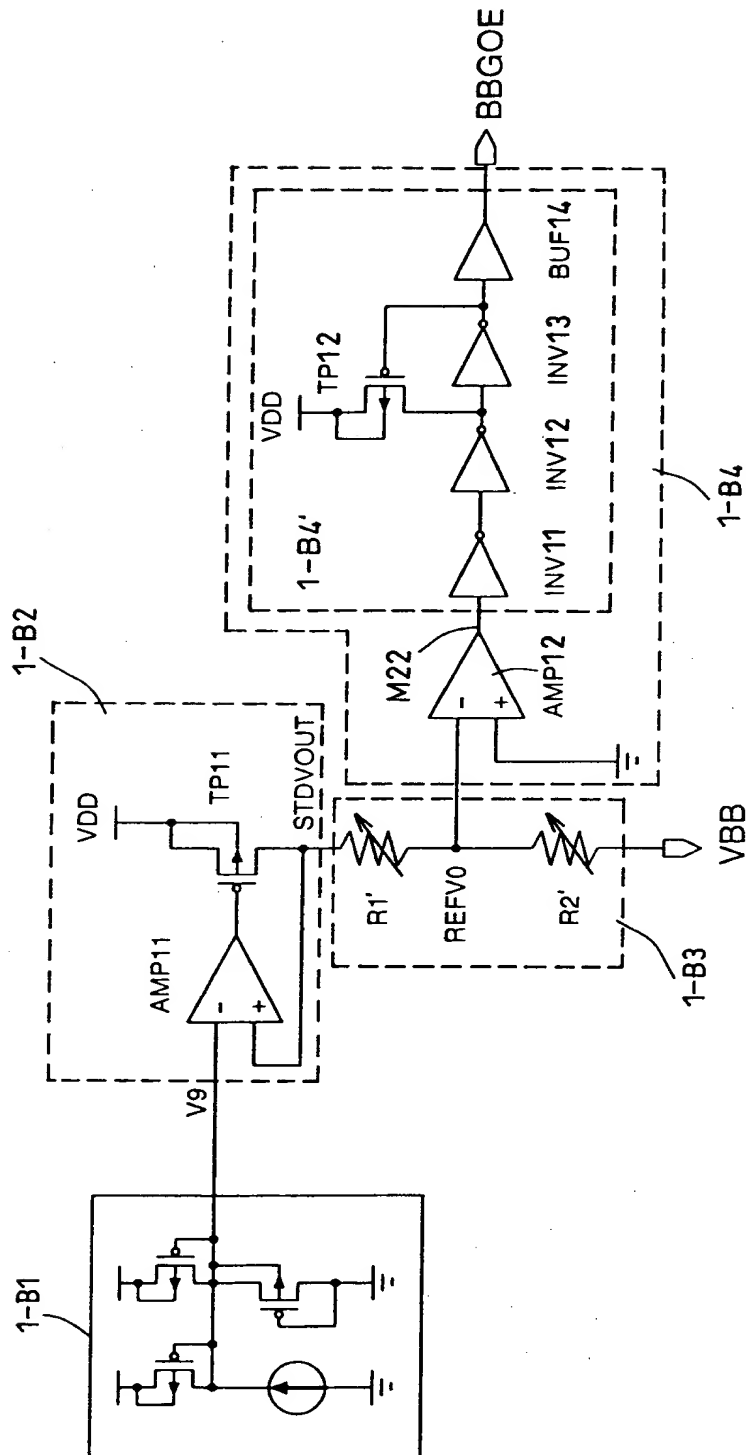
- 1-A 負電圧発生部 (チャージポンプ部)
- 1-B 電圧検知部
- 1-A1 自励発振回路
- 1-A2 タイミング生成回路
- 1-A3 チャージポンプ回路
- 1-B1 定電圧発生回路
- 1-B2 電圧複製回路 (第 1 の電圧複製回路)
- 1-B2' 第 2 の電圧複製回路
- 1-B2'' 第 3 の電圧複製回路
- 1-B3 測定電圧発生回路
- 1-B4 出力部
- 1-B4' 出力バッファ回路
- AMP11 差動増幅器 (第 2 の比較器)
- AMP12 差動増幅器 (第 1 の比較器)
- INV11 初段インバータ
- R1'、R2' 抵抗器

【書類名】 図面

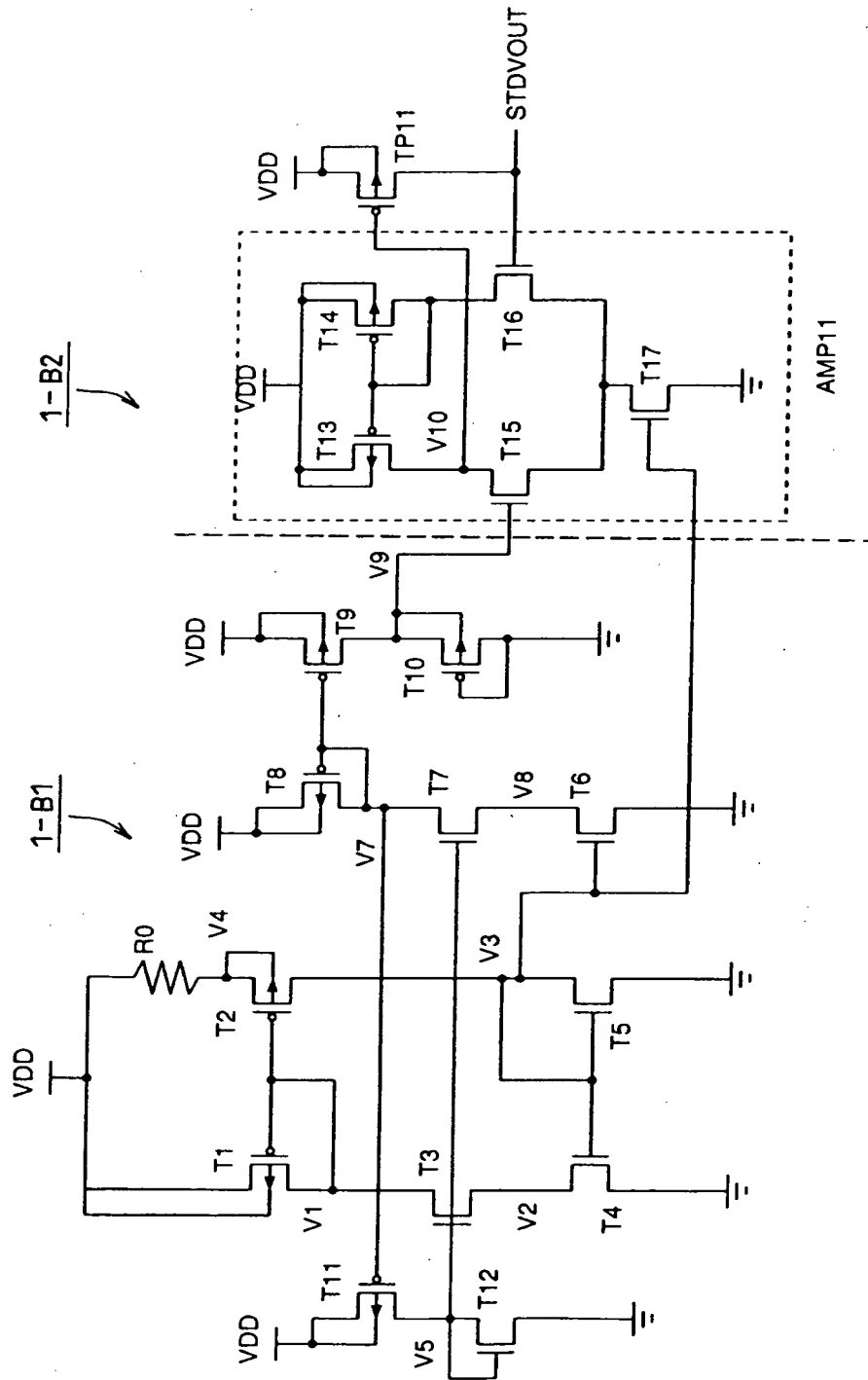
【図 1】



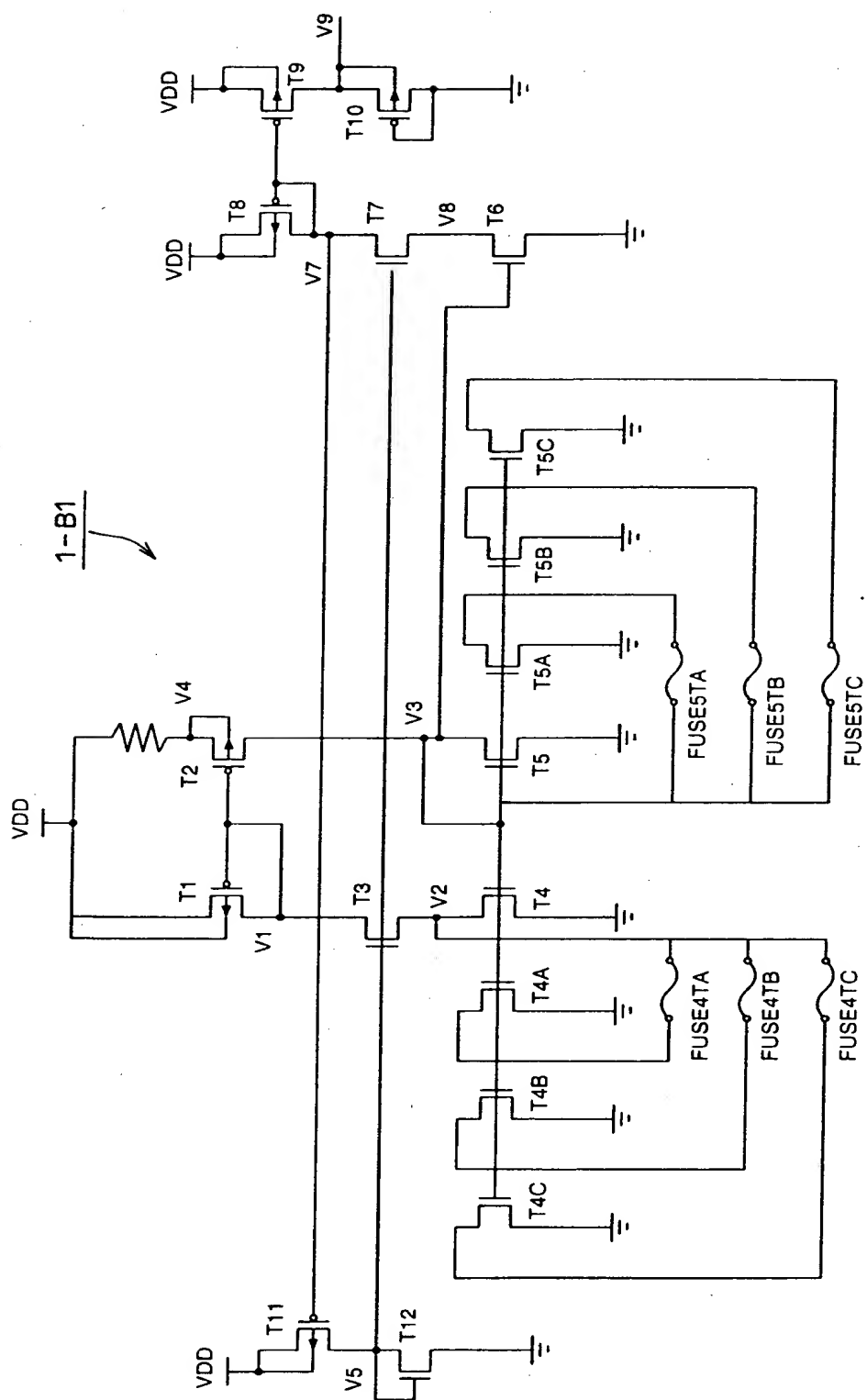
【図 2】



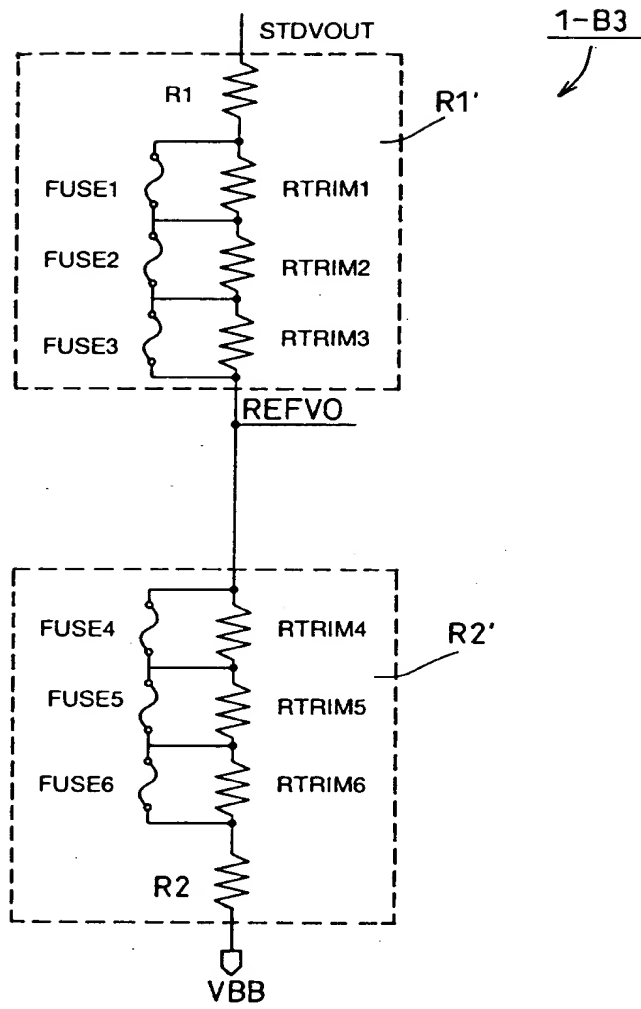
【図 3】



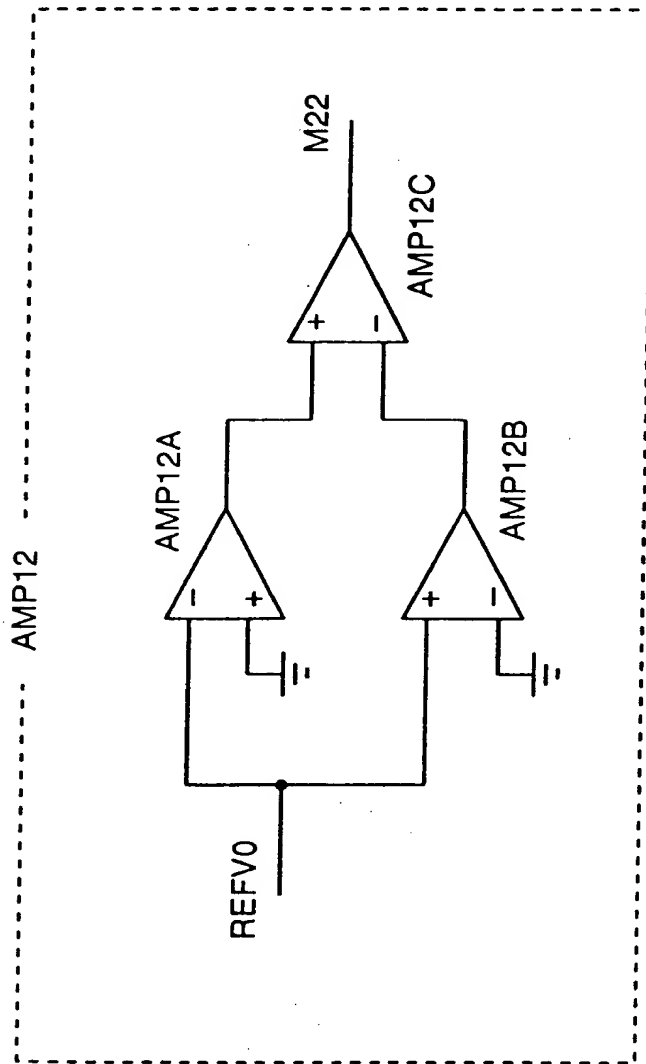
【図 4】



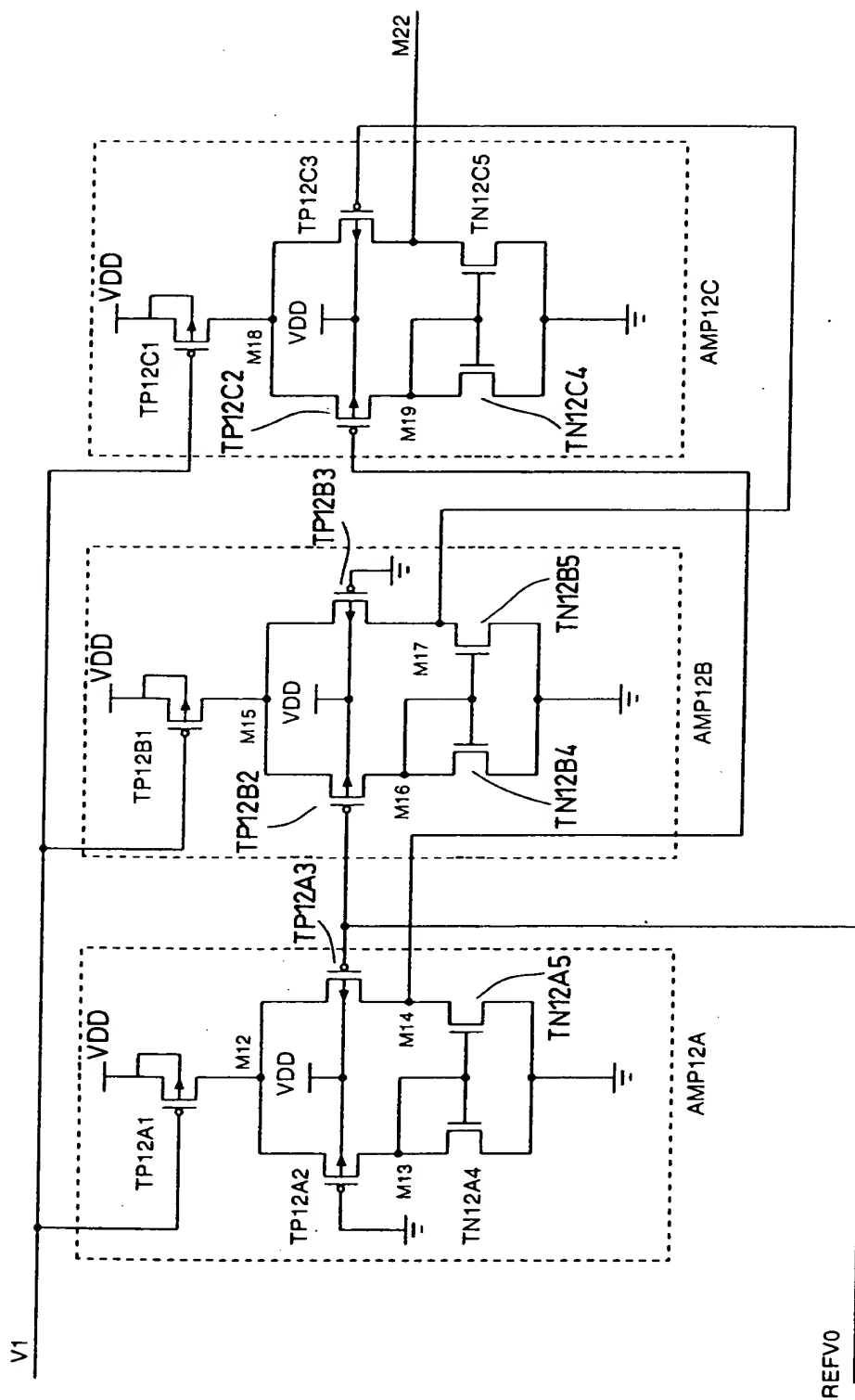
【図 5】



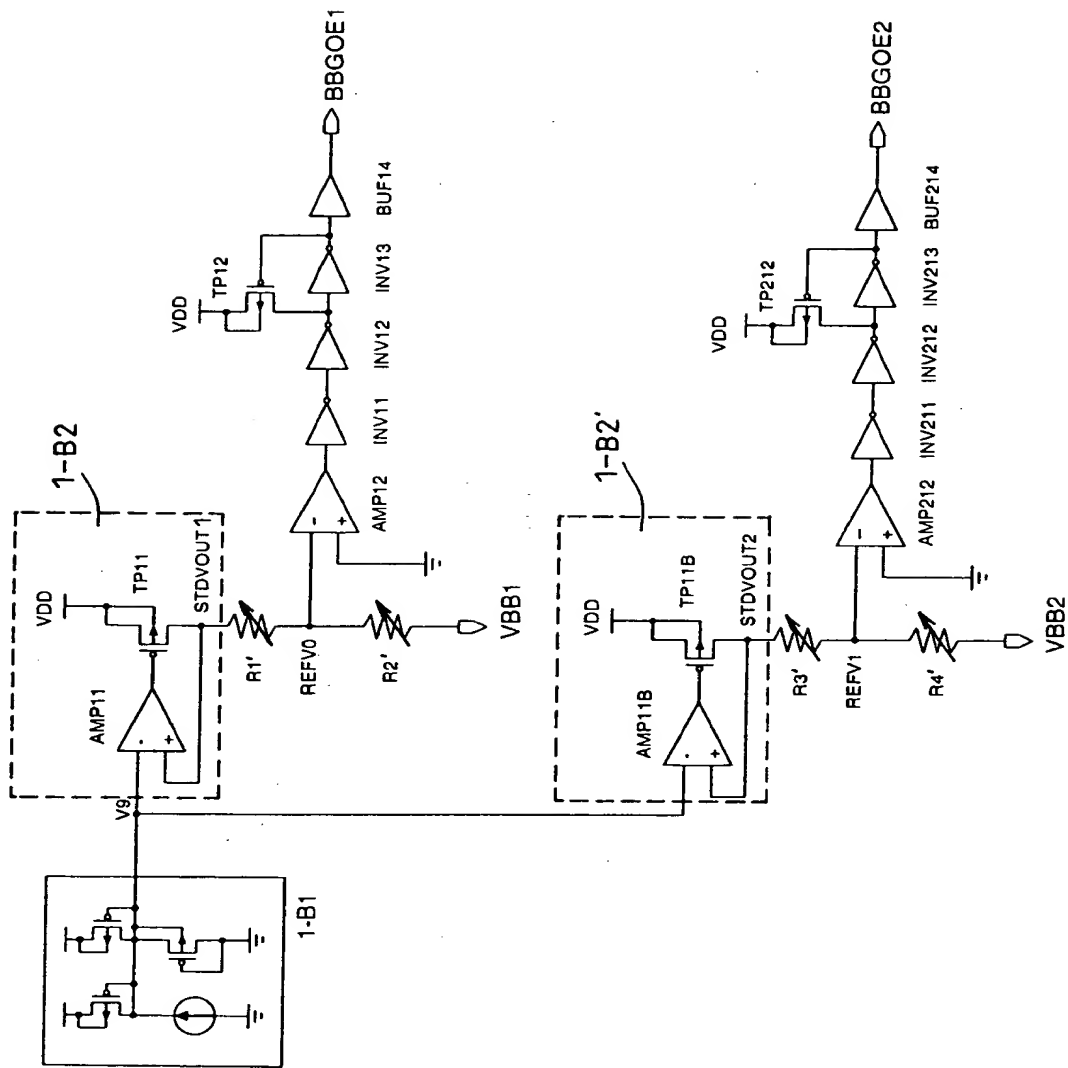
【図 6】



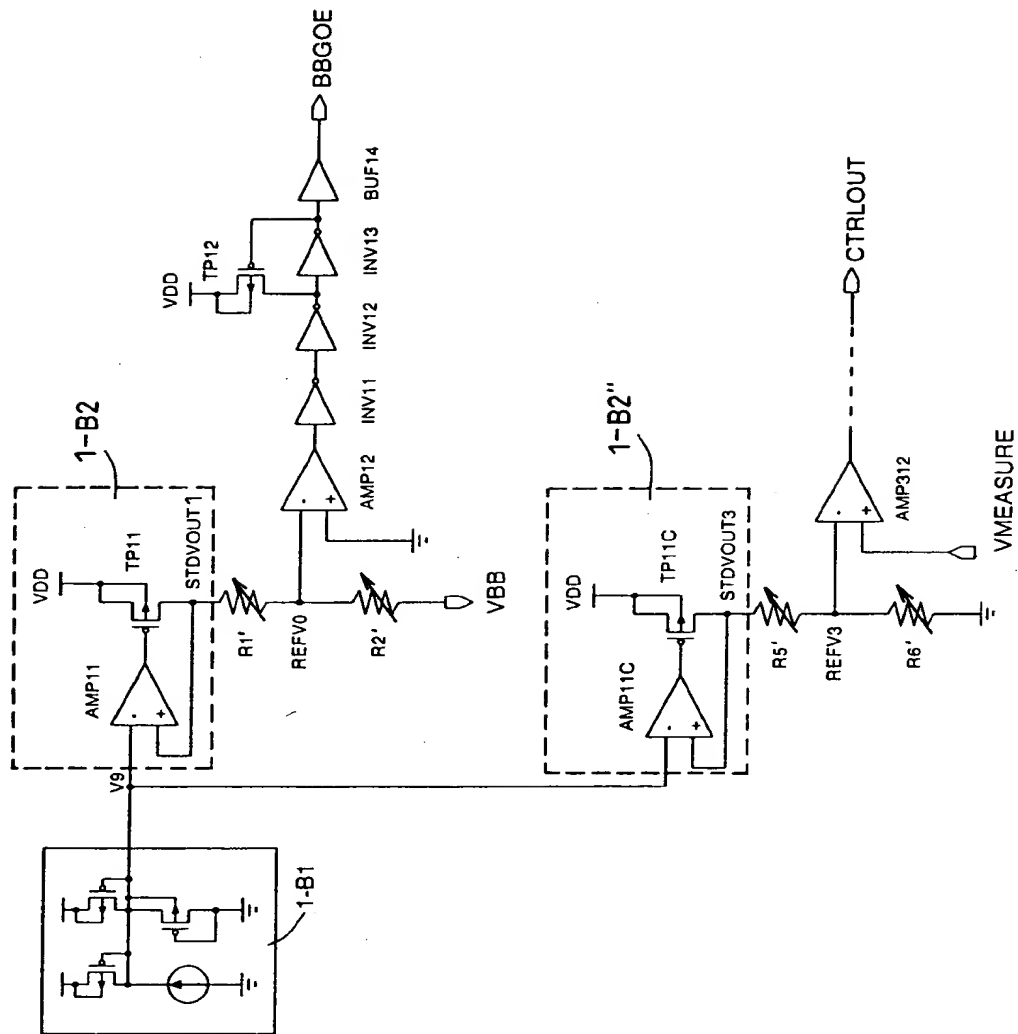
【図 7】



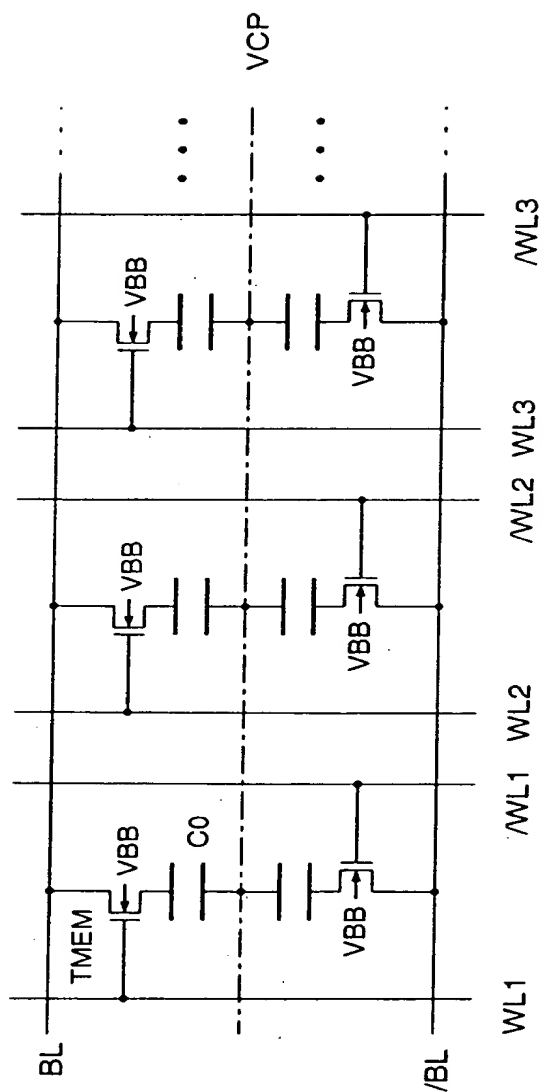
【図 9】



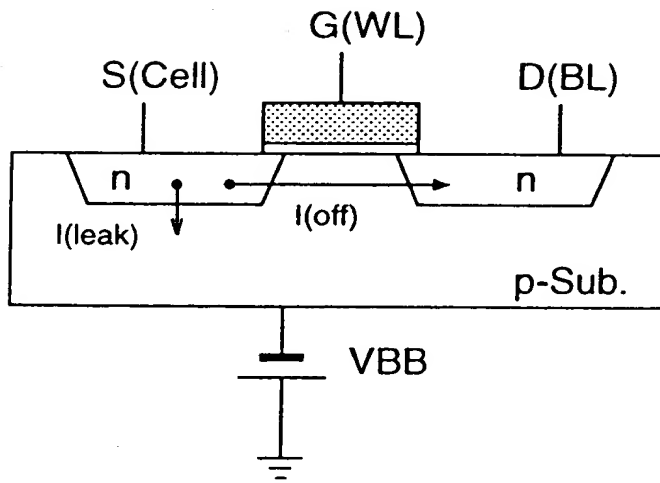
【図 10】



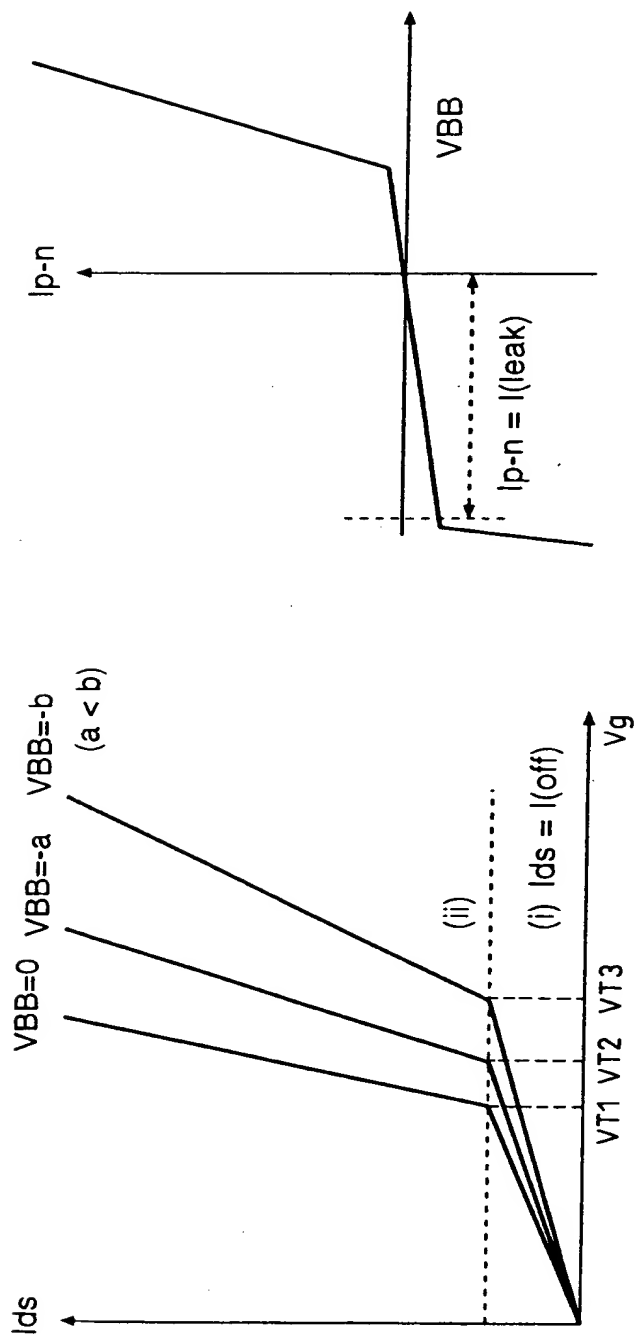
【図 11】



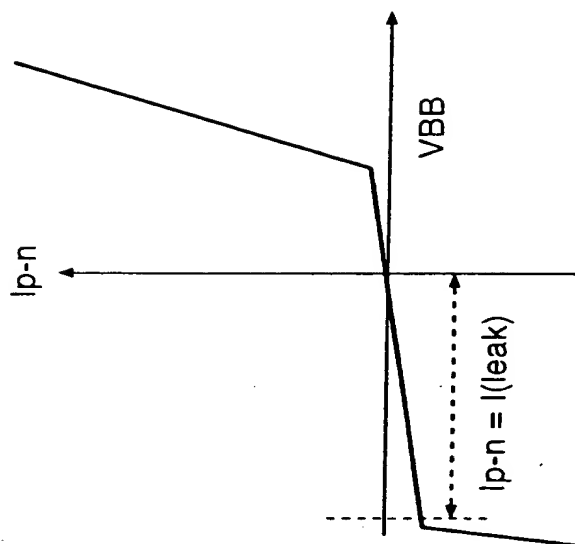
【図 12】



【図 13】

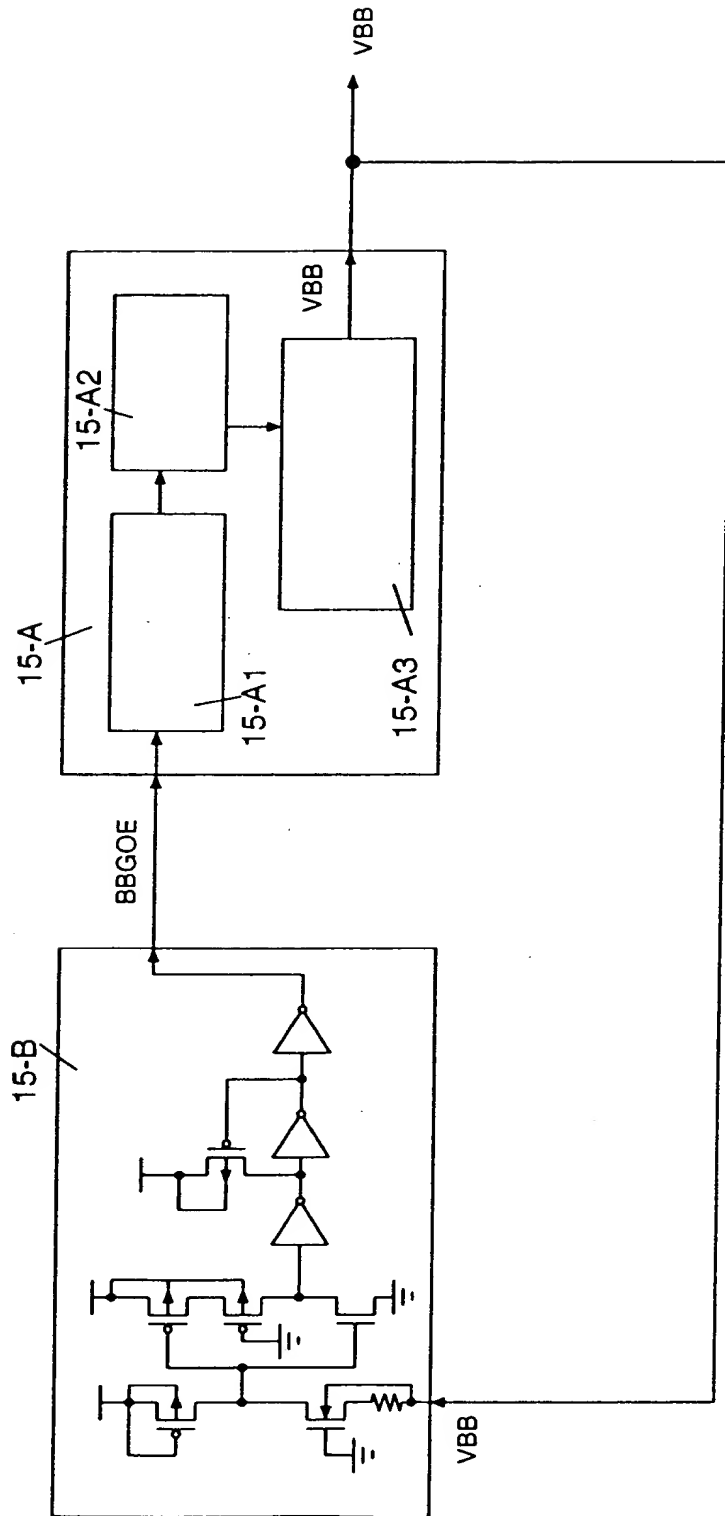


(a)

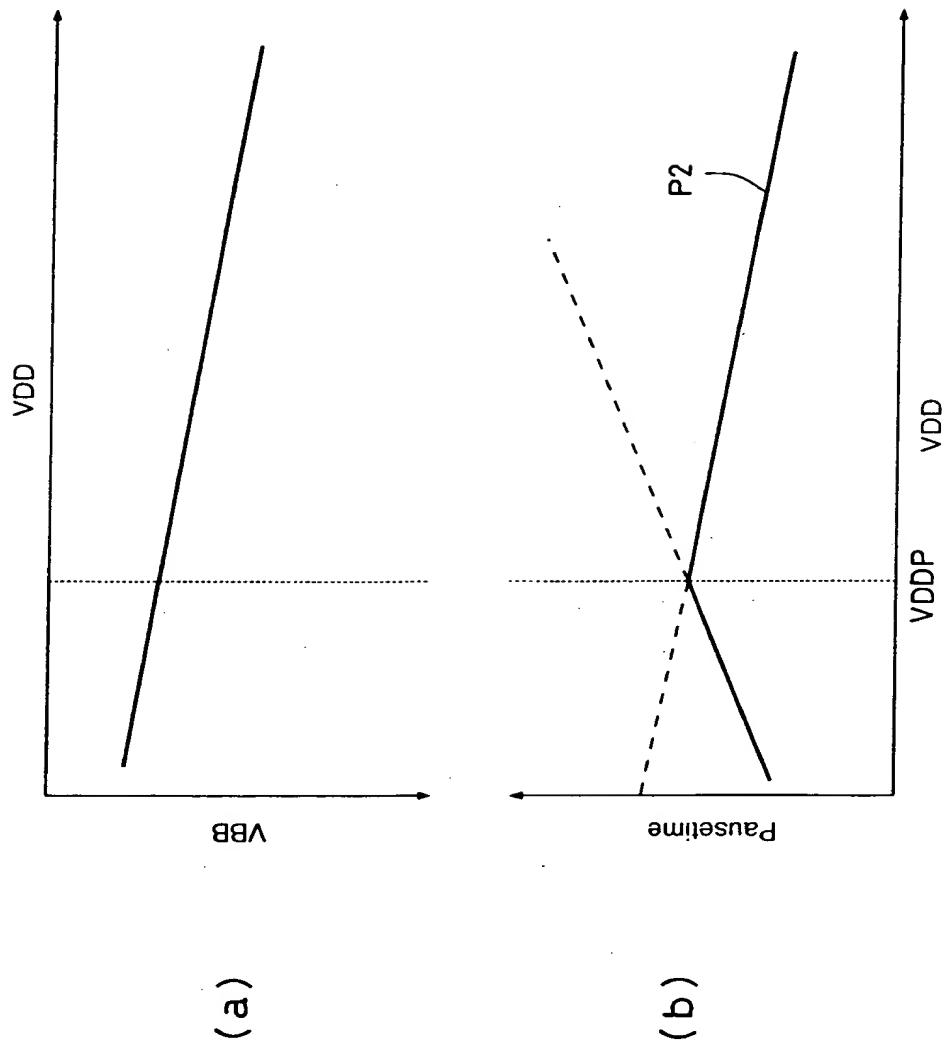


(b)

【図 14】



【図 16】



【書類名】 要約書

【要約】

【課題】 電源電圧や環境条件の変動、プロセス条件等によらず安定した負電圧をメモリセルトランジスタ基板に供給可能な負電圧発生回路を容易に実現し、メモリのデータ保持時間を十分に確保可能にし且つ低消費電力化を図る。

【解決手段】 負電圧発生回路を構成する電圧検知部 1-B に、定電圧発生回路 1-B 1 と、定電圧発生回路から電圧複製回路 1-B 2 を介した定電圧 STD VOUT と負電圧発生部からの負電圧 VBB とを受けて、抵抗器 R1'、R2' により測定電圧 REFV0 に変換する測定電圧発生回路 1-B 3 と、測定電圧発生回路からの測定電圧を接地電圧と比較し比較結果を出力する第 1 の比較器 AMP12 と、第 1 の比較器からの比較出力を増幅して負電圧発生部に出力する出力バッファ回路 1-B 4' とを備えた。

【選択図】 図 2

出 願 人 履 歷 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社